

⑯ 日本国特許庁 (JP) ① 特許出願公開
 ⑰ 公開特許公報 (A) 昭58—137344

⑤Int. Cl. ³	識別記号	厅内整理番号	④公開 昭和58年(1983)8月15日
H 04 L 1/00		6651—5K	
// H 04 B 1/74		7015—5K	発明の数 1
7/00		7251—5K	審査請求 未請求
17/00		7230—5K	
H 04 J 3/14		8226—5K	(全 3 頁)

④ルート識別信号発生回路

②特 願 昭57—20367
 ②出 願 昭57(1982)2月9日
 ②發明者 森本秀明

東京都港区芝五丁目33番1号
 本電気株式会社内
 ⑦出願人 日本電気株式会社
 東京都港区芝5丁目33番1号
 ⑦代理人 弁理士 井ノ口壽

明細書

1.発明の名称

ルート識別信号発生回路

2.特許請求の範囲

デジタル符号変換での付加ビットであるルート識別信号を発生させるための選択スイッチと、前記選択スイッチで選択したルート識別信号を2進コードに変換する論理ゲートから構成したルート識別信号発生回路。

3.発明の詳細な説明

本発明はデジタル符号変換をする際のルート識別に必要なルート識別信号発生回路に関するもの。

デジタル無線回線において希望波の送信出力が断のとき他のルートからの切り込みがあつても受信側で回線切替情報を出すようにルート識別ビットを挿入している。従来、ルート識別ビットはフレーム同期用ビットを使用しており、このフレーム同期用ビットではルート識別ビッ

トの挿入位置が決められているため容易にルート識別の数を増すのは困難となる欠点があつた。

第1図はこのようなルーム同期用ビット発生回路の一例を、第2図はその出力値を示す。シフトレジスタ3, 4, 5, 6にクロックペルスが入るとその情報は1ビットづつシフトされる。排他的論理和部2では最終段とその一段前のレジスタ出力情報の2進和がとられ、さらに、その出力とワード検出回路7出力の2進和が排他的論理和部1でとられて初段のレジスタにファーブックされる。ワード検出回路7はシフトレジスタの周期が9ビット周期なるようにするものである。

ここでシフトレジスタ出力値のうちのところがフレーム同期用ビットとされている。

第3図はDATA系列が3列の場合のデジタル符号変換フレームフォーマットの一例を示す図である。例えば图の場合DATA1系列にフレーム同期用ビットを挿入しDATA3系列にルート識別ビットを割りあてると第2図の周期1.

第1図はフレーム同期ピクト発生回路を示すブロック図、第2図は第1図のシフトレジスタ出力情報を示す図、第3図はフレーム変換フォーマットの例を示す図、第4図は本発明によるルート識別信号発生回路の一実施例を示すブロック図、第5図はルート識別の選択位置とその情報の対応を示す図である。

¹⁻²...其他的論理和回路

3, 4, 5, 6 … 1 ピットシフトレジスター

7 …ワード検出回路

8, 9, 10 ⋯ 難易度 = ト

11. 二十一世紀環球回路

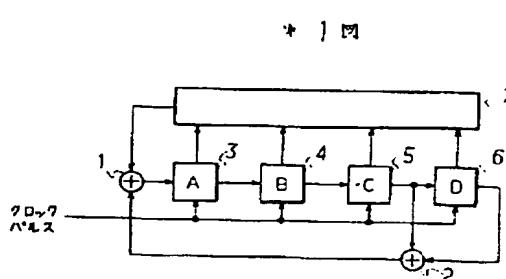
12. ブルタブ紙類

Fig. 3.16 - A 圖 3.16

Yield Strength

特許出願人 日本電気株式会社

代理人弁理士井ノ口



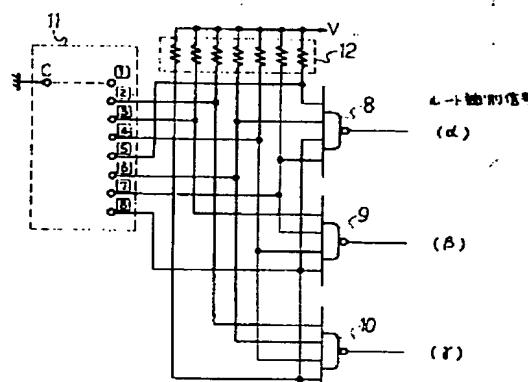
問題	A	B	C	D
1	0	0	0	1
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	1	1	0	1
6	1	1	1	0
7	1	1	1	1
8	0	1	1	1
9	0	0	1	1

才了 14

	1	2	3	4	5	6	7	8	9
DATA1系列	F	F	F	F	F	F	F	F	F
(I) DATA2系列									
DATA3系列	X		X		X		X		X

	1	2	3	4	5	6	7	8	9
DATA 1 系列	F	F	F	F	F	F	F	F	F
(II) DATA 2 系列									
DATA 3 系列	11	12	13	14	15	16	17	18	19

4 1



45

スイッチの 起伏位置	ルート 順別 倍率 出力		
	(d)	(e)	(f)
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1